

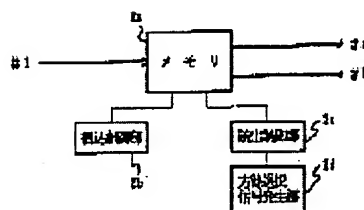
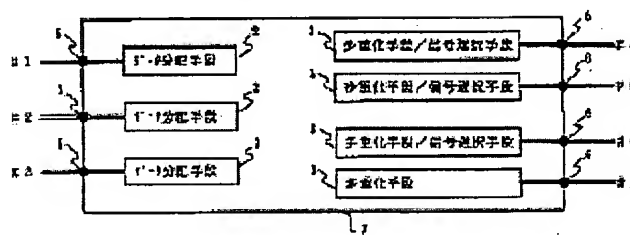
STM-ATM EXCHANGE

Patent number: JP8149137
Publication date: 1996-06-07
Inventor: NAKAJIMA ICHIRO; ISHIHARA TOMOHIRO; TAKEO HIROSHI; IGUCHI KAZUO; UEMATSU HITOSHI; UEDA HIROMI
Applicant: FUJITSU LTD; NIPPON TELEGRAPH & TELEPHONE
Classification:
 - international: H04L12/28; H04J3/00; H04Q3/00
 - european:
Application number: JP19940285205 19941118
Priority number(s): JP19940285205 19941118

Report a data error here

Abstract of JP8149137

PURPOSE: To make an STM/ATM exchange low in cost and small in scale by applying time division multiplex processing to data sent from a fixed path and outputting the resulting data to an ATM highway so as to provide the technology realizing a connection section without use of a time switch and a spatial switch. **CONSTITUTION:** In the case of reception of data from an STM highway, a write control section 2b of a data distribution means 2 writes data to a memory 2a. Then a read control means 2c reads a signal written in the memory 2a according to a path selection signal outputted from a path selection signal generating section 2d and outputs the signal to an optional fixed path. Furthermore, an output section 6 accommodating plural fixed paths allows a multiplexer means 3 to apply time division multiplex processing to a signal group sent from the plural fixed paths and to output the resulting signal to the ATM highway. Thus, a connection part 1 is formed by the fixed paths to make the exchange small in scale and low in cost.



Data supplied from the esp@cenet database - Worldwide

特開平8-149137

(43) 公開日 平成 8 年 (1996) 6 月 7 日

(51) Int.Cl. ⁶	識別記号	片内整理番号	F I	技術表示箇所
H 0 4 L 12/28				
H 0 4 J 3/00	Z			
H 0 4 Q 3/00				
		9466-5K	H 0 4 L 11/ 20	F

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願平6-285205

(22) 出願日 平成 6 年 (1994) 11 月 18 日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 中島 一郎

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 石原 智宏

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 遠山 勉 (外 1 名)

最終頁に続く

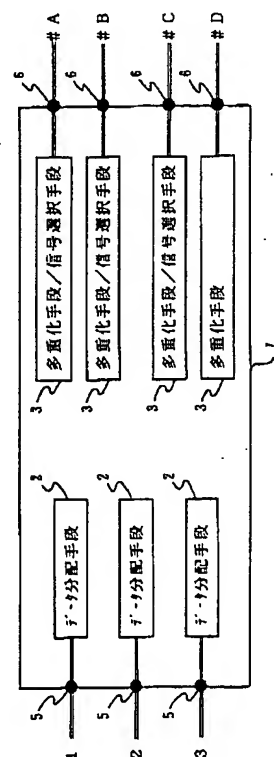
(54) 【発明の名称】 STM-ATM変換装置

(57) 【要約】

【目的】 本発明は、同期転送モード (STM) のデータを非同期転送モード (ATM) のデータへ変換する STM-ATM 変換装置に関し、コストの低減と、装置規模の小型化を図ることを目的とする。

【構成】 同期転送モードのデータを伝送する STM 側ハイウェイを接続する入力部と、非同期転送モードのデータを伝送する ATM 側ハイウェイを接続する出力部とを融合、個々の入力部と複数の出力部との間を固定バスで接続した結線部を備えると共に、前記入力部毎に入力されるデータを複数の固定バスへ分配するデータ分配手段と、固定バスを複数収容する出力部に送信されてくるデータを時分割多重化して ATM 側ハイウェイへ出力する多重化手段とを備えた STM-ATM 変換装置。

本発明の原理図



【特許請求の範囲】

【請求項1】 同期転送モード（STM）のデータを非同期転送モード（ATM）のデータに変換する装置であり、

同期転送モードのデータを伝送するSTM側ハイウェイを接続する入力部と、

非同期転送モードのデータを伝送するATM側ハイウェイを接続する出力部とを有し、個々の入力部と複数の出力部との間を固定パスで接続した結線部を備えると共に、

前記入力部毎に設置され、前記STM側ハイウェイから入力されるデータを前記固定パスへ分配するデータ分配手段と、

前記固定パスを複数収容する出力部に設置され、これらの固定パスから送信されてくるデータを時分割多重化して前記ATM側ハイウェイへ出力する多重化手段とを備えたことを特徴とするSTM-ATM変換装置。

【請求項2】 請求項1において、前記データ分配手段は、前記STM側ハイウェイから送信されてくるデータを一旦格納するメモリと、

前記メモリのデータを何れの固定パスへ出力するかを特定する方路選択信号を発生する方路選択信号発生部と、

前記メモリのデータを読み出し、このデータを前記方路選択信号に従って前記各固定パスへ振り分ける読出制御部とを備えたことを特徴とするSTM-ATM変換装置。

【請求項3】 同期転送モード（STM）のデータを非同期転送モード（ATM）のデータへ変換する装置であり、

同期転送モードのデータを伝送するSTM側ハイウェイと非同期転送モードのデータを伝送するATM側ハイウェイとの間を固定のパスで接続すると共に、

STM側ハイウェイ毎に設置され、各STM側ハイウェイから入力するデータを複数の固定パスへ出力するデータ分配手段と、

前記ATM側ハイウェイ毎に設置され、前記データ分配手段により分配されたデータから、前記ATM側ハイウェイに出力すべきデータを選択する信号選択手段と、

複数のパスから入力されるデータを時分割多重化して単一のATM側ハイウェイへ出力する多重化手段とを備えたことを特徴とするSTM-ATM変換装置。

【請求項4】 同期転送モード（STM）のデータを非同期転送モード（ATM）のデータに変換する装置であり、

同期転送モードのデータを伝送するSTM側ハイウェイを接続する入力部と、

非同期転送モードのデータを伝送するATM側ハイウェイを接続する出力部とを有し、個々の入力部と全ての出力部との間を固定パスで接続した結線部を備えると共に、

前記入力部毎に設置され、前記STM側ハイウェイから入力されるデータを前記複数の固定パスへ分配するデータ分配手段と、

前記出力部毎に設置され、前記各データ分配手段から送信されてくるデータを時分割多重化して前記ATM側ハイウェイへ出力する多重化手段とを備えたことを特徴とするSTM-ATM変換装置。

【請求項5】 請求項3において、データ分配手段は、STM側ハイウェイから入力されるデータを複写して、
10 複数の固定パスへ出力する複写手段を備えることを特徴とするSTM-ATM変換装置。

【請求項6】 請求項4において、データ分配手段は、STM側ハイウェイから入力されるデータを複写して、
複数の固定パスへ出力する複写手段を備えることを特徴とするSTM-ATM変換装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、STM網とATM網とを含む通信網において、STM信号をATM信号へ変換すると共にATM信号をSTM信号へ変換するSTM-ATM変換装置に関する。

【0002】

【従来の技術】 最近では、情報量の増加に伴い、多種多様の情報を高速且つ効率的に送受信することのできる通信網が要求されている。

【0003】 このような要求を満たすべく次世代の通信網として、広帯域ISDN（Broadband-Integrated Service Digital Network）の開発が進められている。特に、広帯域ISDNの基幹技術として、セルと呼ばれる固定長のパケットを非同期に送受信するATM網（Asynchronous Transfer Mode; 非同期転送モード）の国際標準化が進められている。このATM網によれば、広帯域のデジタル通信を行える。

【0004】 ATM網の実用化においては、STM（Synchronous Transfer Mode; 同期転送モード）網とATM網との並存が予想され、STM形式のデータとATM形式のデータとを相互に変換するSTM/ATM変換装置が必要となる。

【0005】 ATMセルは、データを格納するペイロード部と、データの属性を示す情報を格納するヘッダ部とから構成されている。STMデータをATMデータに分割する場合には、STMデータを一定長のデータに分割し、この分割データをペイロード部へ収容する。そして、各ペイロード部に、データの宛先情報等を含むヘッダを付加し、ATMセルを生成する。このように、STMデータをATMデータに変換した場合に、ATMデータのデータ量は、STMデータに比べて大きくなる。従ってATM側のインターフェース（IF）のデータ収容量は、STM側のインターフェース（IF）に比べて大きくする必要がある。もし、ATM側のインターフェー

スとSTM側のインターフェースのデータ収容量を同一にすると、STM/ATM変換装置は、一度に全てのSTMデータをATMセル化することができず、データの輻輳及び遅延を生じるという問題がある。この問題を解決するために、ATM側のインターフェースのデータ収容量を、STM側より大きくとる必要がある。例えば、STM側インターフェースに150Mb/sのハイウェイを3本収容した場合には、ATM側インターフェースには、150Mb/sのハイウェイを4本収容する。このとき、STM/ATM変換装置には、STM側の各ハイウェイから入力したデータをATM側のハイウェイへ振り分ける結線部を備えるようにしている。従来、結線部を実現する手段として、時間スイッチあるいは空間スイッチを用いている。

【0006】ところで、時間スイッチを用いた場合には、入ハイウェイのタイムスロット、及び出ハイウェイのタイムスロットを格納する高速なメモリが必要となり、コストがかかるという問題がある。

【0007】また、空間スイッチを用いた場合には、スイッチ回路の規模が大きくなるという問題がある。

【0008】

【発明が解決しようとする課題】そこで、本発明は、前記問題点に鑑みてなされたものであり、時間スイッチ及び空間スイッチを用いずに結線部を実現する技術を提供し、STM/ATM変換装置にかかるコストの低減と、装置規模の小型化を図ることを課題とする。

【0009】

【課題を解決するための手段】本発明は、前記課題を解決するために以下のようにした。これを図1の原理図に基づいて説明する。

【0010】本発明のSTM-ATM変換装置は、結線部1、データ分配手段2、多重化手段3を備えている。結線部1は、同期転送モードのデータを伝送するSTM側ハイウェイを接続する入力部5と、非同期転送モードのデータを伝送するATM側ハイウェイを接続する出力部6とを有し、個々の入力部5と複数の出力部6との間を固定パスで接続し、スイッチング処理を行わないようにしている。その代わり、セル/デセル化部(CLA D)において同期転送モードのデータを非同期転送モードのデータに変換する際に、所望の宛先(VPI/VCI)を付加し、この情報を制御系を介してATM網内のクロスコネクト装置へ伝える。そして、クロスコネクト装置がその情報を参照してスイッチングを行うようにしている(図16参照)。

【0011】データ分配手段2は、入力部5毎に設置され、STM側ハイウェイから入力されるデータを各固定パスへ分配する機能を有している。多重化手段3は、固定パスを複数収容する出力部6に設置するものとする。そして、多重化手段3は、複数の固定パスから送信されてくるデータを時分割多重化して単一のATM側ハイウ

エイへ出力する機能を有している。

【0012】上記のデータ分配手段2は、例えば、メモリ2aと書込制御部2bと読出制御部2cと方路選択信号発生部2dとを備えるようにしてもよい。書込制御部2bは、ATM側ハイウェイから入力されるデータを順次メモリ2aへ書き込む機能を有している。

【0013】方路選択信号2dは、書込制御部2bの書込タイミングと同期した信号であり、メモリ2aに書き込まれた個々のデータの出力先を特定する信号である。例えば、ATM側ハイウェイから入力したデータを二本の固定パスへ出力する場合には、方路選択信号は"1"と"0"とから構成される2値信号とし、読出制御部2cは方路選択信号"0"が発生した時点に書き込まれたデータを一方の固定パスへ出力する。また、読出制御部2cは、方路選択信号"1"が発生した時点に書き込まれたデータを他方の固定パスへ出力する。

【0014】また、結線部1の各入力部5に、複写手段2eを備えるようにしてもよい。この複写手段2eは、ATM側ハイウェイから入力されるデータを複写し、各固定パス上へ送信する機能を有している。すなわち、複写手段2eは、複数の固定パスへ同一のデータを送信する。この場合、単一の固定パスを収容する出力部6には信号選択手段4を設け、複数の固定パスを収容する出力部6には多重化手段3を設けるようにする。

【0015】上記信号選択手段4は、固定パスから入力したデータのうち、ATM側ハイウェイへ出力すべきデータのみを抽出する機能を有している。多重化手段3は、前述の多重化手段3と同様の機能を有するものとする。

【0016】さらに、結線部1の入力部5を全ての出力部6と接続するようにしてもよい。この場合、各入力部5には、ATM側ハイウェイから入力したデータをそのまま固定パスへ出力する複写手段2eを設ける。そして、各出力部6には、複数の固定パスから送信されてくるデータを時分割多重化する多重化手段3を設けるようにする。

【0017】

【作用】本発明のSTM-ATM変換装置は、STM側ハイウェイからデータを入力した際に、データ分配手段2の書込制御部2bがこれらのデータをメモリ2aへ書き込んでいく。

【0018】そして、読出制御手段2cは、方路選択信号発生部2dが出力する方路選択信号に従って、メモリ2aに書き込まれた信号を読み出し、任意の固定パス上へ出力する。これにより、入力データを所望のATM側ハイウェイへ出力することができる。

【0019】また、固定パスを複数収容する出力部6では、多重化手段3が、複数の固定パスから送信されてくる信号群を時分割多重化してATM側ハイウェイへ出力する。これにより、本発明のSTM-ATM変換装置

は、結線部1を固定バスで構成することにより、装置規模の小型化及びコストの低減を図ることが出来ると共に、時間スイッチあるいは空間スイッチを用いた装置と同様の機能を実現することが出来る。

【0020】

【実施例】以下、本発明の実施例について図面に沿って説明する。

<実施例1>本実施例1におけるSTM/ATM変換装置の構成を図2に示す。

【0021】本実施例のSTM/ATM変換装置には、STMデータを150Mb/sの伝送速度で伝送するSTM側ハイウェイ(#1、#2、#3)を3本接続していると共に、ATMデータを150Mb/sの伝送速度で伝送するATM側ハイウェイ(#A、#B、#C、#D)を4本接続している。

【0022】STM側ハイウェイ(#1、#2、#3)の接続部分には、STMインターフェース7を配置している。一方、ATM側ハイウェイ(#A、#B、#C、#D)の接続部分には、ATMインターフェース9を配置してある。

【0023】上記STMインターフェース7とATMインターフェース9は共に150Mbのデータを収容することができるものとする。STM/ATM変換装置は、結線部1とセル/デセル化部(CLAD)8とを備えている。

【0024】結線部1は、STM側ハイウェイ(#1、#2、#3)から入力したデータを何れのATM側ハイウェイ(#A、#B、#C、#D)へ出力するかを決定する機能を有している。

【0025】セル/デセル化部(CLAD)8は、結線部1から出力されたSTMデータをATMセルへ変換する機能と、ATM網から送信されてくるATMセルを分解してSTMデータを復元する機能とを有している。

【0026】図3に本実施例1における結線部1の内部構成を示す。本実施例1における結線部1は、STM側ハイウェイ(#1、#2、#3)とATM側ハイウェイ(#A、#B、#C、#D)とを固定回線で接続している。

【0027】具体的には、STM側ハイウェイ(#1)は、ATM側ハイウェイ(#A)とATM側ハイウェイ(#D)とに接続している。STM側ハイウェイ(#2)は、ATM側ハイウェイ(#B)とATM側ハイウェイ(#D)とに接続されている。

【0028】さらに、STM側ハイウェイ(#3)は、ATM側ハイウェイ(#C)とATM側ハイウェイ(#D)とに接続されている。そして、各STM側ハイウェイの入力部には、データ分配部2を設けてある。

【0029】また、ATM側ハイウェイ(#D)への出力部には、多重化回路3を設けてあり、STM側ハイウェイ(#1、#2、#3)は、この多重化回路3を介し

てATM側ハイウェイ(#D)に接続されている。

【0030】ここで、データ分配部2の構成及び機能について図4に沿って説明する。同図は、STM側ハイウェイ(#1)の入力部分に設置したデータ分配部2の構成を示す図である。

【0031】データ分配部2は、メモリ2a、書込制御部2b、及び読出制御部2cを備えている。メモリ2aは、STM側ハイウェイ(#1)から入力したデータを記憶するものである。

【0032】書込制御部2bは、STM側ハイウェイ(#1)から入力したデータを、メモリ2aへ順次書き込む機能を有している。読出制御部2cは、メモリ2aに書き込まれたデータを読み出し、ATM側ハイウェイ(#A)とATM側ハイウェイ(#D)とに振り分ける機能を有している。詳細には、読出制御部2cは、方路選択信号発生部2dを有しており、この方路選択信号発生部2dは、書込制御部2bの書込タイミングに同期しており、データの出力方路を決定する方路選択信号を発生する。方路選択信号は、例えば“0”と“1”となる2値信号であり、読出制御部2cは、方路選択信号が“0”のときにメモリ2aに書き込まれたデータをATM側ハイウェイ(#A)へ読み出し、方路選択信号が“1”のときにメモリ2aに書き込まれたデータをATM側ハイウェイ(#D)へ読み出すようにしている。

【0033】次に、多重化回路3の構成及び機能について図5に沿って説明する。本実施例1における多重化回路3は、多重化部3aと多重化制御部3bとから構成されている。

【0034】多重化部3aの入力側には、STM側ハイウェイ(#1)、STM側ハイウェイ(#2)、及びSTM側ハイウェイ(#3)が接続されており、多重化部3aの出力側には、ATM側ハイウェイ(#D)が接続されている。多重化部3aは、STM側ハイウェイ(#1、#2、#3)から入力されるデータを時分割多重化する機能を有している。

【0035】多重化制御部3bは、多重化部3aに対して個々のSTM側ハイウェイ(#1、#2、#3)を識別するイネーブル信号“#1”、“#2”、“#3”を出力する機能を有している。これにより、多重化部3aは、イネーブル信号“#1”を入力したときにはSTM側ハイウェイ(#1)から入力されるデータを読み込み、イネーブル信号“#2”を入力したときにはSTM側ハイウェイ(#2)から入力されるデータを読み込み、さらにイネーブル信号“#3”を入力したときにはSTM側ハイウェイ(#3)から入力されるデータを読み込む。そして、多重化回路3は、STM側ハイウェイ(#1、#2、#3)から送信されてくるデータを時分割多重化することができる。

【0036】以下、データ分配部2と多重化回路3の動作について説明する。図6は、STM側ハイウェイ(#

1) の入力部分に設置されたデータ分配部2の動作過程を示すシーケンス図である。

【0037】書込制御部2bは、STM側ハイウェイ(#1)から伝送されてくる信号(1、2、3、4、5、6、7、8、9、...)を順次メモリ2aへ書き込んでいく。

【0038】そして、方路選択信号発生部2dは、信号(1、2)がメモリ2aに書き込まれている時に、方路選択信号"1"を発生する。これに従って読出制御部2cは、メモリ2aに書き込まれた信号(1、2)を読み出し、ATM側ハイウェイ(#A)へ出力する。

【0039】次に、方路選択信号発生部2dは、信号(3)の書き込みが開始されると、方路選択信号"0"を発生する。これに従って読出制御部2cは、メモリ2aに書き込まれた信号(3)を読み出し、ATM側ハイウェイ(#D)へ出力する。以下、同様にして、入力データをATM側ハイウェイ(#A)とATM側ハイウェイ(#D)とに振り分けることができる。

【0040】次に、図7は、多重化回路3の信号多重化過程を示すシーケンス図である。STM側ハイウェイ(#1)のデータ分配部2により、多重化回路3にはSTM側ハイウェイ(#1)から信号(3、6、9)が送信されてくる。ここで、多重化制御部3bは、信号(3)、信号(6)、信号(9)が送信されてきたときに、多重化制御部3bに対してイネーブル信号"#1"を出力する。

【0041】まず、多重化制御部3bは、STM側ハイウェイ(#1)から信号(3)が送信されてきた時に、イネーブル信号"#1"を出力する。このとき、多重化部3aは、STM側ハイウェイ(#1)から入力される信号(3)を出力する。次に、多重化制御部3bは、イネーブル信号"#2"を出力する。このとき、多重化部3aは、STM側ハイウェイ(#2)から送信されてくる信号(2)を出力する。さらに、多重化制御部3bは、イネーブル信号"#2"の次にイネーブル信号"#3"を出力する。このとき、多重化部3aは、STM側ハイウェイ(#3)から入力される信号(1)を出力する。

【0042】多重化回路3は、以上の動作を繰り返し行うことにより、ATM側ハイウェイ(#D)には時分割多重化された信号が出力される。以上、本実施例1によれば、結線部1を固定回線で構成することによりSTM/ATM変換装置の規模を小型化することが出来ると同時に、時間スイッチあるいは空間スイッチを用いた場合と同様の機能を実現することができる。

【0043】＜実施例2＞本実施例2における結線部1の構成を図8に示す。本実施例2の結線部1は、前述の実施例1の構成に対してATM側ハイウェイ(#A、#B、#C)の出力部分に、それぞれ信号選択部4を設けている。さらに、データ分配部2は、複写回路2eから

構成するようにしている(図9参照)。本実施例2のデータ分配回路は、STM側ハイウェイ(#1、#2、#3)から入力される信号を複写し、2本の出力方路へ出力する機能を有している。例えば、STM側ハイウェイ(#1)上のデータ分配回路は、このSTM側ハイウェイ(#1)から入力される信号(1)を複写し、ATM側ハイウェイ(#A)とATM側ハイウェイ(#D)とに出力する。

【0044】一方、信号選択部4は、メモリ4a、書込制御部4b、及び読出制御部4cを備えている(図10参照)。メモリ4aと書込制御部4bの機能は、実施例1のデータ分配部2と同様であり、説明は省略する。

【0045】読出制御部4cは、メモリ4aから読み出すべき信号を特定するイネーブル信号の発生部(図示せず)を有し、このイネーブル信号に従ってメモリ4aのデータを読み出す機能を有している。イネーブル信号は、例えば"0"と"1"との2値信号であり、読出制御部4cは、イネーブル信号"0"が出力されたときにメモリ4aに書き込まれた信号のみを読み出し、ATM側ハイウェイ(#A)へ出力する。

【0046】多重化回路3の構成及び機能は、前述の実施例1と同様であり、説明は省略する。以下、実施例2における信号選択部4の信号選択過程について図11に沿って説明する。

【0047】図11の信号選択部4は、ATM側ハイウェイ(#A)上に配置された信号選択部4であり、STM側ハイウェイ(#1)上のデータ分配部2からの出力を入力する。

【0048】STM側ハイウェイ(#1)上のデータ分配部2は、信号(1、2、3、4、5、6、7、8、9、...)を出力する。そして、信号選択部4の書込制御部4bは、データ分配部2から入力される信号(1、2、3、4、5、6、7、8、9、...)を順次メモリ4aへ書き込む。

【0049】ここで、読出制御部4cのイネーブル信号発生部は、メモリ4aに信号(1、2)が書き込まれているときには、イネーブル信号"1"を発生し、信号(3)の書き込みが開始されるとイネーブル信号"0"を発生する。読出制御部4cは、イネーブル信号"0"が発生されると、この時点にメモリ4aに書き込まれた信号(3)を読み出し、ATM側ハイウェイ(#A)へ出力する。次に、イネーブル信号発生部は、メモリ4aに信号(4、5)が書き込まれているときには、イネーブル信号"1"を出力する。そして、信号(6)の書き込みが開始されるとイネーブル信号"真R"を発生する。このとき、読出制御部4cは、イネーブル信号"0"が発生されると、この時点にメモリ4aに書き込まれた信号(6)を読み出し、ATM側ハイウェイ(#A)へ出力する。

【0050】多重化回路3は、前述の実施例1と同様に

STM側ハイウェイ（#1、#2、#3）から入力される信号をサイクリックに読み出し、時分割多重化を行う（図12参照）。

【0051】＜実施例3＞図13に実施例3における結線部1の構成を示す。本実施例3では、各STM側ハイウェイ（#1、#2、#3）を総てのATM側ハイウェイ（#A、#B、#C、#D）へ接続している。すなわち、STM側ハイウェイ（#1）は、データ分配部2を介してATM側ハイウェイ（#A）、ATM側ハイウェイ（#B）、ATM側ハイウェイ（#C）、及びATM側ハイウェイ（#D）へ接続している。

【0052】さらに各ATM側ハイウェイ（#A、#B、#C、#D）上には、多重化回路3を設けてある。上記のデータ分配部2は、STM側ハイウェイ（#1、#2、あるいは#3）から入力した信号を複写し、4本のATM側ハイウェイ（#A、#B、#C、#D）へ出力する複写回路2eを備えている（図14参照）。

【0053】また、多重化回路3の構成及び機能は、前述の実施例1と同様である。さらに、多重化回路3の動作過程も前述の実施例1と同様である（図15参照）であり、説明は、省略する。

【0054】

【発明の効果】本発明によれば、時間スイッチや空間スイッチを使用せずにSTM/ATM変換装置を実現できる。これにより、STM/ATM変換装置にかかるコストの低減と、装置規模の小型化を図ることができる。

【図面の簡単な説明】

【図1】本発明の原理図

【図2】実施例1におけるSTM/ATM変換装置の構成を示すブロック図

【図3】実施例1における結線部の構成を示すブロック図

【図4】実施例1におけるデータ分配部の構成を示すブロック図

【図5】実施例1における多重化回路の構成を示すブロック図

【図6】実施例1におけるデータ分配部の信号分配過程を示すシーケンス図

【図7】実施例1における多重化回路の信号多重化過程を示すシーケンス図

【図8】実施例2における結線部の構成を示すブロック図

【図9】実施例2におけるデータ分配部の構成を示すブロック図

【図10】実施例2における信号選択部の構成を示すブロック図

【図11】実施例2における信号選択部の信号選択過程を示すシーケンス図

【図12】実施例2における多重化回路の信号多重化過程を示すシーケンス図

【図13】実施例3における結線部の構成を示すブロック図

【図14】実施例3におけるデータ分配部の構成を示すブロック図

【図15】実施例3における多重化回路の信号多重化過程を示すシーケンス図

【図16】本発明におけるスイッチング制御の説明図

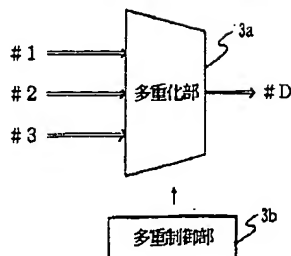
【符号の説明】

- 1・・・結線部
- 2・・・データ分配手段（データ分配部）
- 2a・・・メモリ
- 2b・・・書込制御部
- 2c・・・読出制御部
- 2d・・・方路選択信号発生部
- 3・・・多重化手段（多重化回路）
- 3a・・・多重化部
- 3b・・・多重化制御部
- 4・・・信号選択手段（信号選択部）
- 4a・・・メモリ
- 4b・・・書込制御部
- 4c・・・読出制御部
- 5・・・入力部
- 6・・・出力部
- 7・・・STMインターフェース
- 8・・・セル/デセル化部（CLAD）
- 9・・・ATMインターフェース

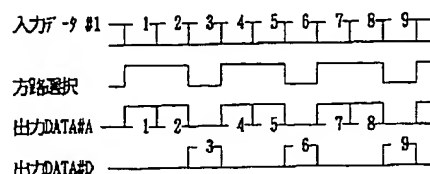
【図5】

【図6】

実施例1における多重化回路部の構成を示すブロック図

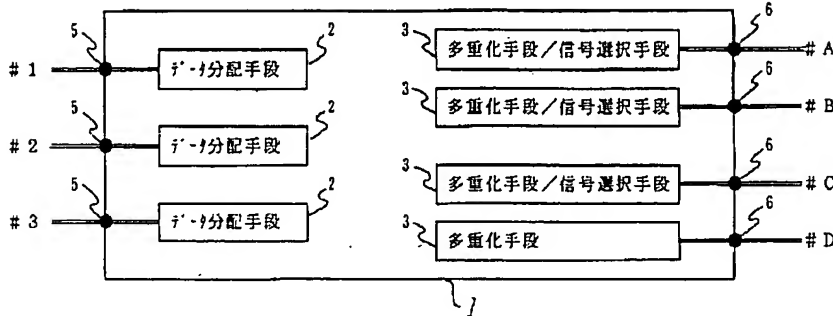


実施例1におけるデータ分配部の信号分配過程を示すシーケンス図



【図1】

本発明の原理図



【図2】

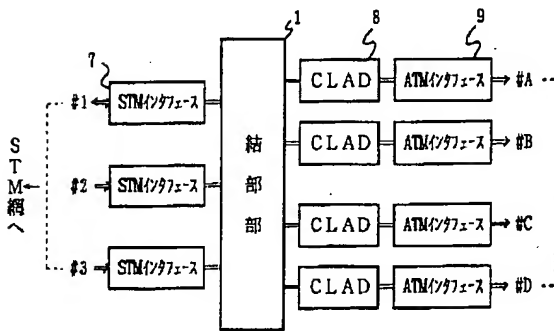
【図9】

実施例2におけるデータ分配部の構成を示すブロック図



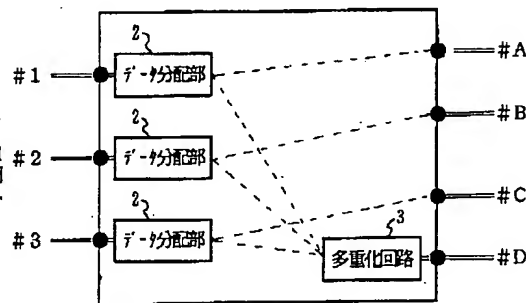
【図3】

本実施例1におけるSTM/ATM変換装置の構成



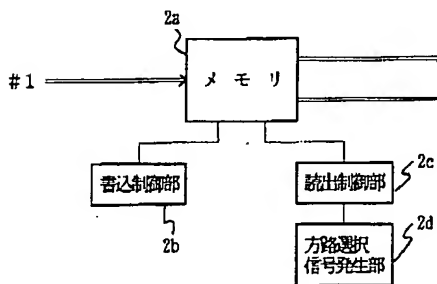
【図4】

本実施例1における結部の構成を示すブロック図



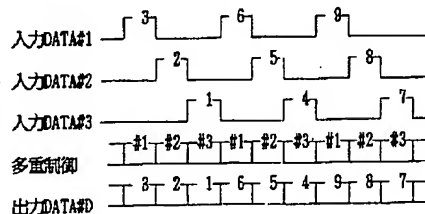
【図7】

実施例1におけるデータ分配部の構成を示すブロック図



【図11】

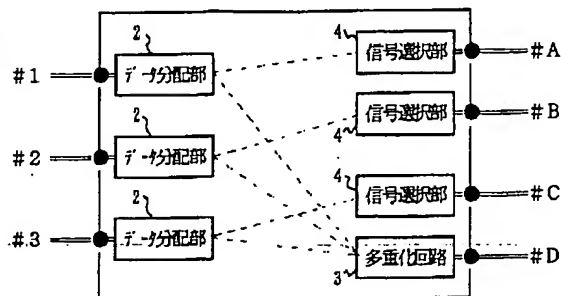
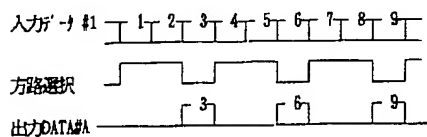
実施例1における多重化回路の信号多重化過程を示すシーケンス図



【図8】

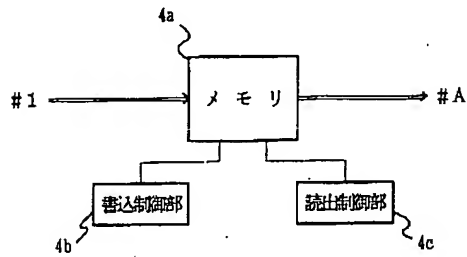
実施例2における結部の構成を示すブロック図

実施例2における信号選択部の信号選択過程を示すシーケンス図



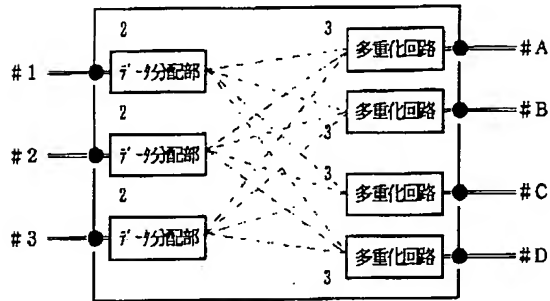
【図10】

実施例2における信号選択部の構成を示すブロック図



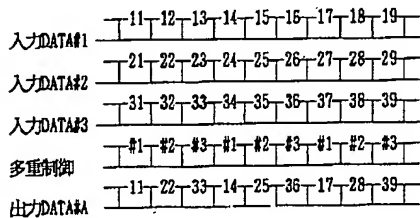
【図13】

実施例3における結線部の構成を示すブロック図



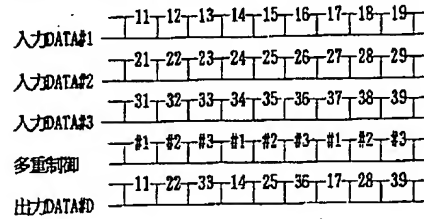
【図15】

実施例3における多重化回路の信号多重化過程を示すシーケンス図



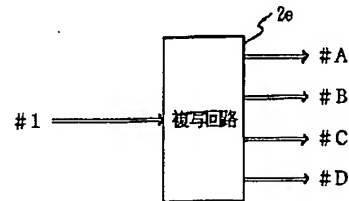
【図12】

実施例2における多重化回路の信号多重化過程を示すシーケンス図



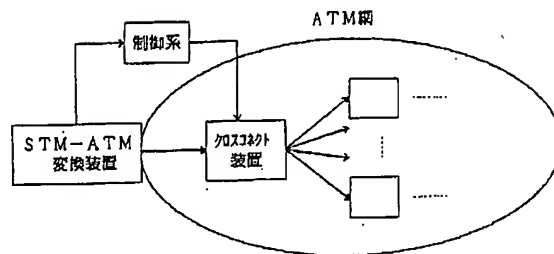
【図14】

実施例3におけるデータ分配部の構成を示すブロック図



【図16】

本発明におけるスイッチング制御の説明図



フロントページの続き

(72)発明者 竹尾 浩
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 井口 一雄
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 上松 仁
東京都千代田区内幸町一丁目1番6号 日
本電信電話株式会社内

(72)発明者 上田 裕巳
東京都千代田区内幸町一丁目1番6号 日
本電信電話株式会社内